

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-174268  
 (43)Date of publication of application : 23.06.2000

BEST AVAILABLE COPY

---

(51)Int.Cl. H01L 29/78  
 H01L 21/28  
 H01L 21/768  
 H01L 29/786  
 H01L 21/336

---

(21)Application number : 10-344530 (71)Applicant : NEC CORP  
 (22)Date of filing : 03.12.1998 (72)Inventor : FURUKAWA AKIO

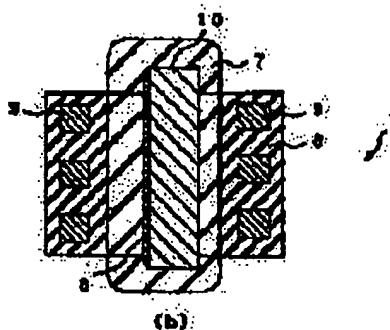
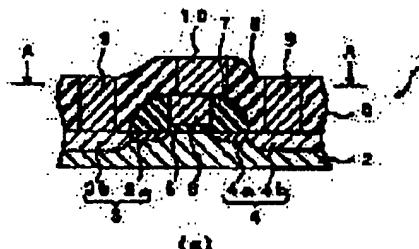
---

## (54) FIELD EFFECT TRANSISTOR AND ITS MANUFACTURE

### (57)Abstract:

**PROBLEM TO BE SOLVED:** To provide a field effect transistor and its manufacturing method by which MOSFETs with reduced resistance in a gate electrode can be manufactured in high producibility and their analog high-frequency performance be improved.

**SOLUTION:** This transistor is provided with a semiconductor substrate 2, a source region 3 and a drain region 4 which are formed on the surface thereof, a gate insulation film 5 formed between the source and drain regions 3 and 4 thereof, a gate electrode 6 formed on the gate insulation film 5, a gate side-wall insulation film 7 which is formed on both sides of the gate electrode 6 and whose thickness is larger than an alignment error of an aligner, an interlayer insulation film 8 formed on the semiconductor substrate 2, and contact plugs 9 and 10 formed respectively on the source region 3, drain region 4 and gate electrode 6. The ratio of the etching rate of the interlayer insulation film 8 to that of the gate side-wall insulation film 7 is 5 or more.




---

### LEGAL STATUS

[Date of request for examination] 03.12.1998

[Date of sending the examiner's decision of rejection] 05.06.2001

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's  
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19)日本国特許庁 (JP)

## (12) 公開特許公報 (A)

(11)特許出願公開番号

特開2000-174268

(P2000-174268A)

(43)公開日 平成12年6月23日 (2000.6.23)

(51)Int.Cl.  
 H01L 29/78  
 21/28  
 21/768  
 29/786  
 21/336

F I  
 H01L 29/78 301X 4M104  
 21/28 L 5F033  
 21/90 C 5F040  
 29/78 301C  
 617A

審査請求 有 請求項の数9 OL (全8頁)

(21)出願番号 特願平10-344530

(22)出願日 平成10年12月3日 (1998.12.3)

(71)出願人 000004237

日本電気株式会社  
東京都港区芝五丁目7番1号(72)発明者 古川 昭雄  
東京都港区芝五丁目7番1号 日本電気株式会社内(74)代理人 100090158  
弁理士 藤井 正美

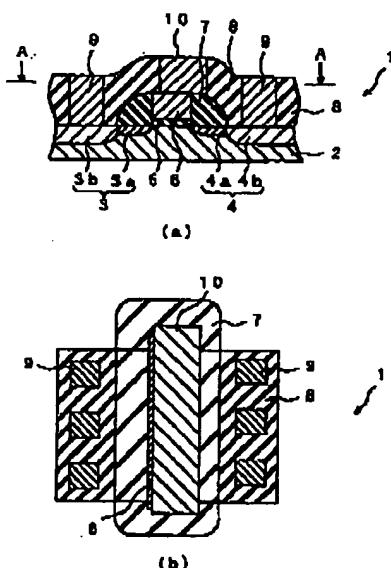
最終頁に続く

(54)【発明の名稱】電界効果型トランジスタ及びその製造方法

(57)【要約】

【課題】ゲート電極の抵抗を低減したMOSFETを再現性よく製造することができると共に、アナログ高周波性能を向上することができる電界効果型トランジスタ及びその製造方法を提供する。

【解決手段】半導体基板2と、前記半導体基板2の表面に形成されたソース領域3及びドレイン領域4と、前記半導体基板2のソース領域3及びドレイン領域4の間に形成されるゲート絶縁膜5と、前記ゲート絶縁膜5の上に形成されるゲート電極6と、前記ゲート電極6の両側に形成された露出窓7と、前記半導体基板2の上に形成された層間絶縁膜8と、前記ソース領域3、ドレイン領域4及びゲート電極6の上に夫々形成されたコンタクトプラグ9、10と、を有し、前記層間絶縁膜8のエッティング速度と前記ゲート絶縁膜5のエッティング速度との比が5以上である。



2: 半導体基板 3: ソース領域  
 4: ドレイン領域 5: ゲート絶縁膜  
 6: ゲート電極 7: ゲート側壁絶縁膜  
 8: 層間絶縁膜 9、10: コンタクトプラグ

(2) 000-174268 (P2000-\*(68)

## 【特許請求の範囲】

【請求項1】 半導体基板と、前記半導体基板の表面上に形成されたソース領域及びドレイン領域と、前記半導体基板のソース領域及びドレイン領域の間に形成されるゲート絶縁膜と、前記ゲート絶縁膜の上に形成されるゲート電極と、前記ゲート電極の両側に形成された露出部の目合せ誤差よりも大きな幅を有するゲート側壁絶縁膜と、前記半導体基板の上に形成された層間絶縁膜と、前記ソース領域、ドレイン領域及びゲート電極の上に大々形成されたコンタクトアラグと、を有し、前記層間絶縁膜のエッチング速度と前記ゲート側壁絶縁膜のエッチング速度との比が1以上であることを特徴とする電界効果型トランジスタ。

【請求項2】 前記コンタクトアラグは、前記ゲート電極の上に、離間して複数設けられていることを特徴とする請求項1に記載の電界効果型トランジスタ。

【請求項3】 前記ゲート側壁絶縁膜は、有機物で形成されており、前記層間絶縁膜は、シリコン酸化物、シリコン酸化窒化物及びシリコン酸化弗化物からなる群から選択された1種であることを特徴とする請求項1又は2に記載の電界効果型トランジスタ。

【請求項4】 前記ゲート側壁絶縁膜は、シリコン酸化物、シリコン酸化窒化物及びシリコン酸化弗化物からなる群から選択された1種であり、前記層間絶縁膜は、有機物であることを特徴とする請求項1又は2に記載の電界効果型トランジスタ。

【請求項5】 前記有機物は、ポリイミド、ベンゾシクロアーテン、ポリアリルエーテル、ナフサレン、パリレン及び弗化アモルファスカーボンからなる群から選択された1種であることを特徴とする請求項3又は4に記載の電界効果型トランジスタ。

【請求項6】 前記ゲート側壁絶縁膜は、窒素組成比の多いシリコン酸化窒化物又はシリコン酸化物であり、前記層間絶縁膜は、酸素組成比の多いシリコン酸化窒化物、シリコン酸化物及びシリコン酸化弗化物からなる群から選択された1種であることを特徴とする請求項1又は2に記載の電界効果型トランジスタ。

【請求項7】 前記ゲート側壁絶縁膜は、酸素組成比の多い、シリコン酸化窒化物、シリコン酸化物及びシリコン酸化弗化物からなる群から選択された1種であり、前記層間絶縁膜は、窒素組成比の多いシリコン酸化窒化物又はシリコン酸化物であることを特徴とする請求項1又は2に記載の電界効果型トランジスタ。

【請求項8】 半導体基板の上にゲート絶縁膜を形成し、その上にゲート電極を形成する工程と、前記半導体基板の上に絶縁膜を形成し、フォトリソグラフィー法により、前記絶縁膜をバーニングし、異方性エッチングにより、コンタクトホールの目合せ誤差よりも大きな幅のゲート側壁絶縁膜を前記ゲート電極の両側に形成する工程と、前記半導体基板の表面上にソース領域及びドレイ

ン領域を形成する工程と、前記半導体基板の上に層間絶縁膜を形成する工程と、前記層間絶縁膜の前記ゲート電極、ソース領域及びドレイン領域の間に大々コンタクトホールを開口する工程と、前記コンタクトホールを埋め込むようにしてコンタクトアラグを形成する工程と、を有することを特徴とする電界効果型トランジスタの製造方法。

【請求項9】 前記コンタクトアラグは、前記ゲート電極の上に、離間して複数形成することを特徴とする電界効果型トランジスタの製造方法。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】 本発明は、ゲート電極の上にコンタクトアラグを形成した電界効果型トランジスタ（以下、MOSFETという。）及びその製造方法に関する。特に、ゲート電極の低抵抗化を図ったMOSFET及びその製造方法に関する。

## 【0002】

【従来の技術】 近時、MOSFETの微細化は、現在では0.25μmの設計寸法をもったものが実用化されており、更に微細化を進めるべく開発が行われている。この微細化によりMOSFETの電流が向上し、かつ寄生容量等の低減ができる。MOSFETの性能を向上させる上で重要な点は、微細化、寄生容量及び寄生抵抗の低減である。しかし、寄生抵抗は微細化と共に、増加する傾向にあり、それをいかにして増加させずに低減するかがMOSFETの技術開発にあたり考慮しなければならない点である。

【0003】 MOSFETの寄生抵抗としては、ゲート抵抗、ソース・ドレイン抵抗、配線抵抗等がある。ゲート抵抗及びソース・ドレイン抵抗は、シリサイド層等を形成して抵抗の低減を図っている。一方、配線については配線材料として銅等を利用して配線抵抗の低減が図られつつある。

【0004】 寄生抵抗の中でゲート抵抗は、ゲート電極が細長いこともあり、抵抗の低減が難しい部分である。通常のLSIでデジタルに応用する場合には、単に信号を後段に伝えるだけなので、MOSFETの微細化に伴い、ゲート幅を小さくすることができる。このため、最近の技術であるシリサイド化を用いれば、ゲート抵抗がLSIの性能を制限してしまうようになることはならない。しかし、アナログに応用する場合では、大きな信号電力を後段伝えるために、ゲート幅を大きくする必要がある。このため、単位面積あたり数となるシリサイド化による低抵抗化では、まだ十分に抵抗が小さいわけではなく、更に、抵抗値の低減が必要とされている。

【0005】 また、Si-MOSFETにおいて、ゲート抵抗の低減を通常のシリサイドを使用した場合以上に抵抗を低減する方法が提案されている。ゲート及びソース、ドレインを形成した後、高分子有機膜等を使用して

(3) 000-174268 (P2000-chL整備)

基板を平坦化し、表面からエッチングしてゲート電極の頭を出し、アルミニウム等の金属を表面に形成した後、エッチングしてゲート電極上に厚い金属を形成する方法である(特開平2-206171号公報、P. R. de la Houssaye他、IEEE Electron Device Letters, 1995年、Vol. 16, P. 289-292)。

【0006】次に、従来のMOSFETの製造方法について説明する。図4(a)乃至(d)は、従来のMOSFETの製造方法を工程順に示す断面図である。

【0007】先ず、図4(a)に示すように、例えば、シリコン基板を使用した半導体基板101の表面にソース領域102及びドレイン領域103を形成する。半導体基板101のソース領域102及びドレイン領域103の間にゲート絶縁膜104を形成し、その上に、ゲート電極105を形成する。ゲート電極105の両側にはゲート側壁絶縁膜106を形成する。更に、ソース領域102、ゲート103及びゲート電極105の上には、シリサイド層107を形成する。

【0008】次に、図4(b)に示すように、層間絶縁膜108を形成し、その上に、有機膜109を形成する。有機膜109は流动性がわずかにあるため表面を平坦化することができる。

【0009】次に、図4(c)に示すように、有機膜109の表面からエッチング又は化学的機械的研磨(CMP)法により表面層を削りゲート電極105の頭出しを行う。

【0010】次に、図4(d)に示すように、層間絶縁膜108にソース領域102及びドレイン領域103の位置にコンタクトホール(図示せず)を夫々開口して、コンタクトプラグ110を形成する。そして、層間絶縁膜108の上に配線用金属膜(図示せず)を形成し、フォトリソグラフィー法によりパターニングして、エッチングを行い、コンタクトプラグ110の上に夫々配線111を形成する。このとき、ゲート電極105の上にも配線用金属のエッチングと同時に配線111が形成される。

【0011】この方法により、ゲート抵抗はゲート電極105上部の金属の抵抗率、膜厚及び幅で決まる。このため、それらを必要な値に設定することによりゲート電極105の抵抗を大幅に低抵抗化することができる。

【0012】

【発明が解決しようとする課題】しかし、従来のMOSFETの製造方法に示すゲート抵抗の低減方法では、有機膜109を使用して半導体基板101を平坦化する際に、平面度の高い平坦化が難しい。また、有機膜109をエッチングしてゲート電極105の頭出しをすることが難しいという問題がある。

【0013】粘性のある有機膜109を使用したとしても、半導体基板101上のゲート電極105の凹凸は有

機膜109表面上では量は減るもの、ある程度は反映されてしまう。更に、ゲート電極105の頭出しをするためには、有機膜109表面からエッチングをしていく、ゲート電極105の上面ができる適当な時間でエッチングを止めなければならない。しかし、ゲート電極105の頭がでた時点でタイミングよくエッチングを止めることは非常に難しい。このため、従来のMOSFETの方法では、MOSFETの構造を再現性よく製造するには、困難を伴うという問題がある。

【0014】本発明はかかる問題点に鑑みてなされたものであって、ゲート電極の側面に形成されるゲート側壁絶縁膜の側面方向の厚さをコンタクトプラグを形成する際に使用する露光機の目合せ誤差よりも大きく形成することにより、ゲート電極の抵抗を低減したMOSFETを再現性よく製造することができると共に、アナログ高周波性能を向上することができる電界効果型トランジスタ及びその製造方法を提供することを目的とする。

【0015】

【課題を解決するための手段】本発明に係る電界効果型トランジスタは、半導体基板と、前記半導体基板の表面に形成されたソース領域及びドレイン領域と、前記半導体基板のソース領域及びドレイン領域の間に形成されるゲート絶縁膜と、前記ゲート絶縁膜の上に形成されるゲート電極と、前記ゲート電極の両側に形成される露光機の目合せ誤差よりも大きな厚さを有するゲート側壁絶縁膜と、前記半導体基板の上に形成された層間絶縁膜と、前記ソース領域、ドレイン領域及びゲート電極の上に夫々形成されたコンタクトプラグと、を有し、前記層間絶縁膜のエッチング速度と前記ゲート側壁絶縁膜のエッチング速度との比が5以上であることを特徴とする。

【0016】本発明においては、前記コンタクトプラグは、前記ゲート電極の上に、離尚して複数設けられていることが好ましい。

【0017】また、本発明においては、前記ゲート側壁絶縁膜は、有機物であり、前記層間絶縁膜は、シリコン酸化物、シリコン酸化空化物及びシリコン酸化弗化物からなる群から選択された1種とすることができる。また、前記ゲート側壁絶縁膜は、シリコン酸化物、シリコン酸化空化物及びシリコン酸化弗化物からなる群から選択された1種であり、前記層間絶縁膜は、有機物とすることができる。この前記有機物は、ポリイミド、ベンゾシクロアテン、ポリアリルエーテル、ナフサレン、パリレン及び弗化アモルファスカーボンからなる群から選択された1種であることが好ましい。

【0018】更に、本発明においては、前記ゲート側壁絶縁膜は、窒素組成比の多いシリコン酸化空化物又はシリコン空化物であり、前記層間絶縁膜は、酸素組成比の多いシリコン酸化空化物、シリコン酸化物及びシリコン酸化弗化物からなる群から選択された1種とすることができる。また、前記ゲート側壁絶縁膜は、酸素組成比の

!(4) 000-174268 (P2000-068)

多い、シリコン酸化窒化物、シリコン酸化物及びシリコン酸化鉄化物からなる群から選択された1種であり、前記層間絶縁膜は、窒素組成比の多いシリコン酸化窒化物又はシリコン窒化物とすることができます。

【0019】本発明に係る電界効果型トランジスタの製造方法は、半導体基板の上にゲート絶縁膜を形成し、その上にゲート電極を形成する工程と、前記半導体基板の上に絶縁膜を形成し、フォトリソグラフィー法により、前記絶縁膜をバターニングし、異方性エッティングにより、コンタクトホールの目合せ誤差よりも大きな幅のゲート側壁絶縁膜を前記ゲート電極の両側に形成する工程と、前記半導体基板の表面にソース領域及びドレイン領域を形成する工程と、前記半導体基板の上に層間絶縁膜を形成する工程と、前記層間絶縁膜の前記ゲート電極、ソース領域及びドレイン領域の上に夫々コンタクトホールを開口する工程と、前記コンタクトホールを埋め込むようにしてコンタクトプラグを形成する工程と、を有することを特徴とする。

【0020】本発明においては、前記コンタクトプラグは、前記ゲート電極の上に、離間して複数形成することが好ましい。

【0021】本発明においては、ゲート電極の側面に形成されるゲート側壁絶縁膜の側面方向の厚さをコンタクトプラグを形成する際に使用する露光機の目合せ誤差よりも大きく形成すると共に、ゲート側壁絶縁膜と層間絶縁膜とのエッティング速度比を5以上とすることにより、コンタクトプラグの位置がゲート電極の上から外れることがなく、エッティングをゲート側壁絶縁膜で止めることができるために、ゲート抵抗を低減したMOSFETを再現性よく製造することができる。

【0022】

【発明の実施の形態】以下、本発明の実施例について添付の図面を参照して説明する。図1(a)は、本発明の第1実施例に係るMOSFETを示す断面図であり、

(b)は、図1(a)のA-A線断面図である。

【0023】本実施例に係るMOSFET1において、例えば、シリコン基板からなる半導体基板2の表面には、ソース領域3及びドレイン領域4が形成されている。このソース領域3及びドレイン領域4は、夫々、例えば、不純物として、砒素が添加された砒素ドープ層であり、例えば、深さが50nmの浅いn型拡散層3a、4aと、例えば、深さが100nmの深いp型拡散層3b、4bとから形成されている。半導体基板2のソース領域3及びドレイン領域4の間に上には、例えば、膜厚が5nmのゲート絶縁膜5が形成されている。このゲート絶縁膜5の上には、例えば、ゲート長が0.18μmのn型ポリシリコンとコバルトシリサイドとの積層構造を有するゲート電極6が形成されている。このゲート電極6の側面には側面方向の厚さがコンタクトホール12を開口するために使用する露光機の目合せ誤差よりも大

きく、例えば、厚さが0.08μmのポリイミドからなるゲート側壁絶縁膜7が形成されている。

【0024】半導体基板2及びゲート電極6の上には、例えば、厚さが1μmのシリコン酸化膜からなる層間絶縁膜8が形成されている。ソース領域3及びドレイン領域4の上の層間絶縁膜8には、例えば、0.3μm平方のコンタクトホール12が開口され、電気的接続をとるために例えば、タンゲステンからなるコンタクトプラグ9がコンタクトホール12に埋め込むように形成されている。また、ゲート電極6の上の層間絶縁膜8に、コンタクトホール12を開口し、例えば、タンゲステンからなるコンタクトプラグ10がコンタクトホール12に埋め込むように形成されている。また、層間絶縁膜8のエッティング速度とゲート側壁絶縁膜7のエッティング速度との比(以下、層間絶縁膜8のエッティング速度/ゲート側壁絶縁膜7のエッティング速度をエッティング速度比といふ。)は、5以上となるような材料の組み合わせがされている。

【0025】上述のように、使用する露光機の目合せ誤差よりも大きくゲート側壁絶縁膜7を形成することにより、ゲート電極6上のコンタクトプラグ10はゲート側壁絶縁膜7から外れることがない。

【0026】本実施例においては、図1(b)に示すように、ゲート電極6上のコンタクトプラグ10はゲート電極6上の全面に形成されており、コンタクトプラグ10を形成位置を決定する露光機の目合せ誤差分だけ位置がずれている。即ち、このゲート電極6上のコンタクトプラグ10は、露光時の目合せ誤差又はゲート電極6とのサイズの違いからゲート側壁絶縁膜7上まで広がっている。しかし、層間絶縁膜8のエッティング速度とゲート側壁絶縁膜7のエッティング速度比を5以上と大きくしているために、層間絶縁膜8へのコンタクトホール12の開口をゲート側壁絶縁膜7の上部で止めることができる。

【0027】次に、本実施例に係るMOSFETの製造方法について図2に基づいて説明する。図2(a)乃至(d)は、本発明の第1実施例に係るMOSFETの製造方法を工程順に示す断面図である。先ず、図2(a)に示すように、例えば、不純物濃度が $1 \times 10^{14} \text{ cm}^{-3}$ 程度のp型シリコン基板からなる半導体基板2の表面に素子分離(図示せず)、ウェル(図示せず)を形成した後に、例えば、膜厚が5nmのゲート絶縁膜5を形成する。そして、例えば、ゲート長が0.18μm、高さが200nmのポリシリコンからなるゲート電極6を形成する。このゲート電極6には、成長時又は後の工程で、不純物として、例えば、砒素をドープするようにする。

【0028】次に、図2(b)に示すように、ゲート電極6の両側の側面に露光の際に生じる目合せ誤差よりも横方向に大きく、例えば、ポリイミドを使用して、厚さが0.08μmのゲート側壁絶縁膜7を形成する。次

(5) 000-174268 (P2000-BH68)

に、ゲート側壁絶縁膜7の両側の半導体基板の表面に、不純物として、例えば、砒素をドープしたソース領域3及びドレイン領域4を形成する。

【0029】次に、図2(c)に示すように、層間絶縁膜8として、膜厚が1μmのシリコン酸化膜を半導体基板2の上面に形成する。そして、レジスト掩蔽と露光と現像によりソース領域、ドレイン領域上のコンタクトホール形成部及びゲート電極上以外にレジスト(図示せず)を残す。その後、エッティングガスとして、例えば、塩素ガスを使用して層間絶縁膜8をエッティングし、ソース領域3、ドレイン領域4及びゲート電極6の上にコンタクトホール12を開口する。

【0030】次に、図2(d)に示すように、層間絶縁膜8に開口したコンタクトホール12の開口部に、例えば、タングステンを埋め込んで、コンタクトプラグ9、10とする。

【0031】上述のように、日合せ誤差によりゲート側壁絶縁膜7の厚さが必ず大きくなるような構成することにより、日合せ誤差によりコンタクトプラグ10がゲート電極6からはずされた場合であっても、コンタクトプラグ10は確実にゲート側壁絶縁膜7からみ出しがれない。従って、ゲート電極6上のコンタクトホール12はゲート側壁絶縁膜7から外れることなく、しかも、ゲート側壁絶縁膜7の方がエッティングされにくいために、ゲート電極6上部の位置でエッティングを止めることができる。

【0032】本実施例においては、n型MOSFETについて説明したが、これに特に限定されるものではなく、本発明においては、不純物の型を変えてp型MOSFETとすることができる。

【0033】また、本実施例においては、コンタクトプラグ9、10に、タングステンを使用したが、本発明は、特にこれに限定されるものではなく、タングステンと塗化チタンとの積層構造とすることもできる。

【0034】また、本実施例においては、ソース領域3及びドレイン領域4へのコンタクトホール12形成と同時にゲート絶縁膜5直上部のゲート電極6上にコンタクトホール12を形成するため、ゲート抵抗低減のための工程数増加又はマスク数の増加がない。

【0035】次に、本発明の第2実施例について図3に基づいて説明する。図1及び図2に示す第1実施例と同一構成物には、同一符号を付してその詳細な説明は省略する。図3(a)は、本発明の第2実施例に係るMOSFETの断面図であり、(b)は、図3(a)のB-B線断面図である。

【0036】本実施例は、第1実施例と比較して、ゲ

ト電極6上に形成されているコンタクトプラグ11が、図3(a)及び(b)に示すように、直方体の形状に形成されている複数個のコンタクトプラグ11を互いに離隔して1つのゲート電極6上に複数個配設している点で異なるだけであって、それ以外は、第1実施例と同一である。

【0037】次に、本実施例に係るMOSFET1の製造方法について説明する。本実施例のMOSFET1の製造方法は、第1実施例と比較して、ゲート電極6上に形成されるコンタクトプラグ11を開口する際に、複数のコンタクトホール12を層間絶縁膜8に開口し、これら複数のコンタクトホール12を埋め込むように、例えば、タングステンでコンタクトプラグ11を形成する点で異なるだけであって、それ以外は、第1実施例と同一である。

【0038】上述のように、複数のコンタクトホール12を層間絶縁膜8に開口することにより、ソース領域3上、ドレイン領域4上及びゲート電極6上のコンタクトプラグ9、11用のコンタクトホール12を同時に形成する際に、両者のエッティング時間となるべく同程度にすることができる。即ち、コンタクトホール12はコンタクトホール12の開口が大きいほどエッティング速度が大きいため早くエッティングされてしまう。そこで、ソース領域3、ドレイン領域4のコンタクトプラグ9用のコンタクトホール12とゲート電極6上のコンタクトプラグ11用のコンタクトホール12の大きさをなるべく近い値にすることにより、同程度のエッティング時間で済むようになることができる。このため、ゲート側壁絶縁膜7がエッティングされる量を第1実施例より少なくすることができ、製造の信頼性を更に増すことができる。

【0039】次に、本発明の第3実施例を表1及び表2に基づいて説明する。表1は、図1に示すMOSFET構造におけるゲート側壁絶縁膜7の材料及び層間絶縁膜8の材料の組み合わせを具体的に示したものである。表2は、ゲート側壁絶縁膜7の材料及び層間絶縁膜8の材料の組み合わせとエッティング速度比の関係を示したものである。

【0040】表1において、Aのグループは有機物を示したものであり、Bのグループはシリコンと酸素、窒素及びフッ素の化合物を示したものである。Cのグループは窒素組成の多いシリコン酸化窒化物及びシリコン窒化物を示したものであり、Dのグループは酸素組成比の多いシリコン酸化窒化物、シリコン酸化物及びシリコン酸化窒化物を示したものである。

【0041】

【表1】

:(6) 000-174268 (P2000-68)

グループ	構成物質
A	ポリイミド、ベンジクロブテン、ポリアリルエーテル、ナフタレン、パリレン、弗化アモルファスカーボン
B	シリコン酸化物、シリコン酸化物、シリコン酸化物
C	空素組成比の多いシリコン酸化物、シリコン酸化物
D	酸素組成比の多いシリコン酸化物、シリコン酸化物

【0042】

【表2】

	方法1	方法2	方法3	方法4
ゲート側壁絶縁膜の材料	A	B	C	D
層間絶縁膜の材料	B	A	D	C
エッティング速度比	50 以上	100 以上	20乃至3 0程度	10程度

【0043】表1に示すA及びB並びにC及びDのグループの組み合わせがエッティング速度比が5以上得られるものである。従って、ゲート側壁絶縁膜7の材料及び層間絶縁膜8の材料の選び方は、夫々Aグループ中の任意の1つとBグループ中の任意の1つの組み合わせか又はその逆、夫々Cグループ中の任意の1つとDグループ中の任意の1つの組み合わせか又はその逆とするのがよい。

【0044】表2に示すように、各グループの材料に対して、エッティング速度が大きくとれるガスが存在する。それらを適当に選ぶことにより、各方法の材料組み合わせに対して、エッティング速度比を大きくとることができ

る。

【0045】方法1では、Bグループの材料のエッティング速度がAグループの材料のエッティング速度より大きければよく、例えば、4弗化カーボンをプラズマガスとして用いることにより、エッティング速度比は50以上のものが得られる。

【0046】方法2では、Aグループの材料のエッティング速度がBグループの材料のエッティング速度より大きければよく、例えば、酸素をプラズマガスとして用いることにより、エッティング速度比は100以上のものが得られる。

【0047】方法3については、Dグループの材料のエッティング速度がCグループの材料のエッティング速度より大きければよく、例えばC<sub>4</sub>F<sub>8</sub>をプラズマガスとして用いることにより、エッティング速度比は20乃至30程度のものが得られる。

【0048】方法4については、Cグループの材料のエッティング速度がDグループの材料のエッティング速度より大きければよく、例えばC<sub>1</sub><sub>2</sub>又はHBrをプラズマガスとして用いることにより、エッティング速度比は10程

度のものが得られる。

【0049】上述のように、ゲート側壁絶縁膜7の材料を層間絶縁膜8の材料と異なる材料とすることにより、コンタクトホール12を開口するために使用する露光機の目合せ誤差によりコンタクトホール12の開口位置がゲート電極6の真上からずれる場合でも、エッティングがゲート電極6の高さ付近で確実に止まるように、ゲート側壁絶縁膜7のエッティング速度は層間絶縁膜8と比較してかなり小さくすることができる。従って、再現性よくコンタクトホール12を開口することができ、安定してMOSFET1を製造することができる。

【0050】上述のいずれの本実施例においても、ソース領域3及びドレイン領域4は浅いn型拡散層3a、4aと深いn型拡散層3b、4bとからなる2層構造としたが、本発明は、特にこれに限定されるものではなく、1層構造とすることもできる。

【0051】

【発明の効果】以上詳述したように本発明においては、ゲート電極の側面に形成されるゲート側壁絶縁膜の側面方向の厚さをコンタクトプラグを形成する際に使用する露光機の目合せ誤差よりも大きく形成すると共に、ゲート側壁絶縁膜と層間絶縁膜とのエッティング速度比を5以上とすることにより、コンタクトプラグの位置がゲート電極の上から外れることなく、エッティングをゲート側壁絶縁膜で止めることができるために、ゲート抵抗を低減したMOSFETを再現性よく製造することができる。

【図面の簡単な説明】

【図1】(a)は、本発明の第1実施例に係るMOSFETを示す断面図であり、(b)は、(a)のA-A線断面図である。

【図2】(a)乃至(d)は、本発明の第1実施例に係

(7) 000-174268 (P2000-ch.並傍

るMOSFETの製造方法を工程順に示す断面図である。

【図3】(a)は、本発明の第2実施例に係るMOSFETの断面図であり、(b)は、(a)のB-B線断面図である。

【図4】(a)乃至(d)は、従来のMOSFETの製造方法を工程順に示す断面図である。

【符号の説明】

1、100: MOSFET

2、101: 半導体基板

3、102: ソース領域

3a、4a: 浅いn型拡散層

3b、4b: 深いn型拡散層

4、103: ドレイン領域

5、104: ゲート絶縁膜

6、105: ゲート電極

7、106: ゲート側壁絶縁膜

8、108: 層間絶縁膜

9、10、11、110: コンタクトプラグ

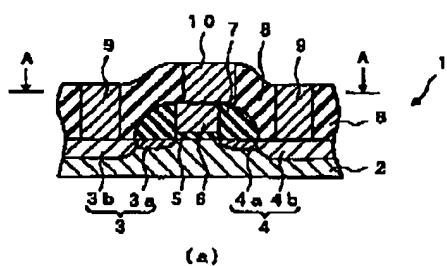
12: コンタクトホール

107: シリサイド層

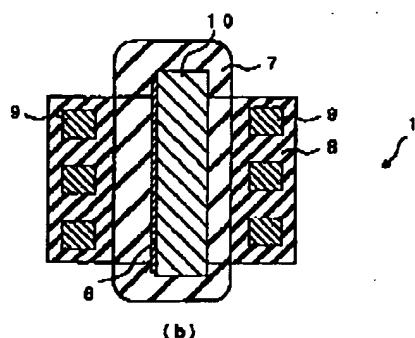
109: 有膜膜

111: 配線

【図1】



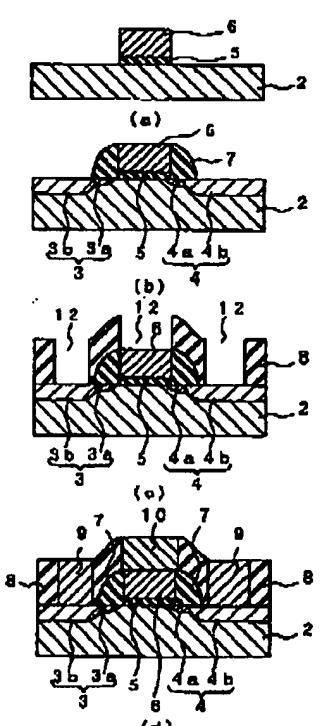
(a)



(b)

2: 半導体基板  
 3: ソース領域  
 4: ドレイン領域  
 5: ゲート絶縁膜  
 6: ゲート電極  
 7: ゲート側壁絶縁膜  
 8: 層間絶縁膜  
 9、10: コンタクトプラグ

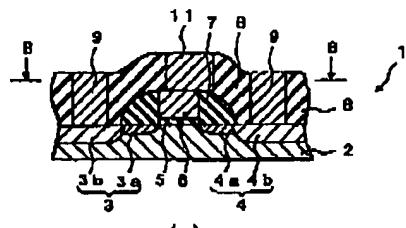
【図2】



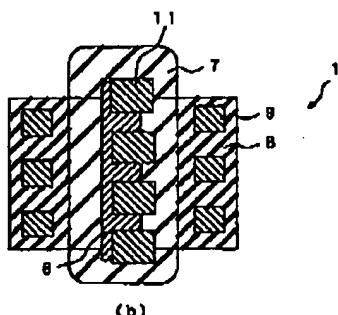
3a、4a: 浅いn型拡散層  
 3b、4b: 深いn型拡散層  
 5: ゲート絶縁膜  
 6: ゲート電極  
 7: ゲート側壁絶縁膜  
 8: 層間絶縁膜  
 9、10: コンタクトプラグ  
 12: コンタクトホール

(8) 000-174268 (P2000-68)

【図3】



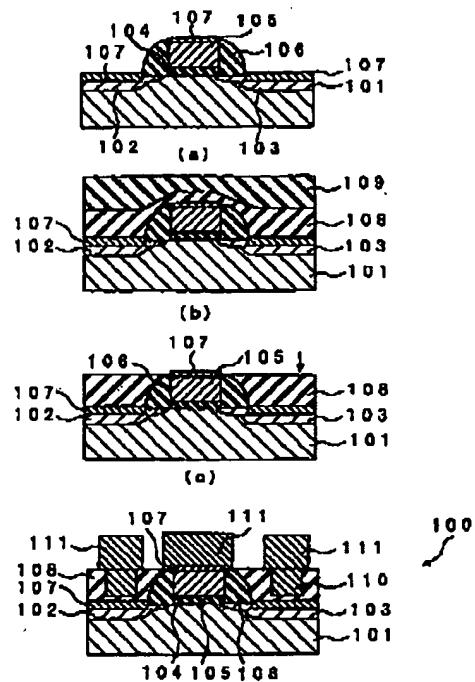
(a)



(b)

6:ゲート電極 7:ゲート絶縁膜  
8:接触部構成 9, 10:コンタクトプラグ

【図4】



101:半導体基板 104:ゲート絶縁膜  
105:ゲート電極 106:ゲート絶縁膜  
108:層間絶縁膜 110:コンタクトプラグ  
107:シリサイド層 109:右側膜  
111:左側膜

フロントページの続き

Fターム(参考) 4M104 AA01 BB18 BB20 CC01 CC05  
DD04 DD65 DD66 FF13 GG09  
HH16  
5F033 HH19 HH26 JJ19 NN03  
5F040 DC01 EC02 EC04 EC07 EC13  
EC16 EF02 EH02 EH07 EH08  
EK01 FA03 FA04 FB02